



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 6日

出 願 番 号

Application Number:

特願2001-029425

ST.10/C]:

[JP2001-029425]

出 願 人

applicant(s):

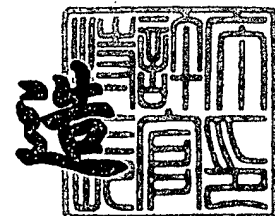
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月29日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0000926203

【提出日】 平成13年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/24

【発明者】

【住所又は居所】 東京都品川区東五反田1丁目14番10号 株式会社ソニー木原研究所内

【氏名】 今井 雅敏

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100063174

【弁理士】

【氏名又は名称】 佐々木 功

【選任した代理人】

【識別番号】 100087099

【弁理士】

【氏名又は名称】 川村 恭子

【手数料の表示】

【予納台帳番号】 013273

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ソート処理方法およびソート処理装置

【特許請求の範囲】

【請求項 1】 入力データの大小を比較して該入力データの並び替えを行うソート処理方法であって、

データ比較器により該入力データの大小の比較を行う比較処理と、データ選択器を用いて該入力データの選択を行う選択処理とを組合せた基本処理をパイプライン状に繰り返して用い、

該基本処理の総数を前記入力データの組合せの全比較数と同一にしたことを特徴とするソート処理方法。

【請求項 2】 前記入力データの個数の増加に対応して前記基本処理を追加することによりソート処理の規模を拡張する
請求項 1 に記載のソート処理方法。

【請求項 3】 必要に応じてクロックを用いて前記入力データの同期をとる
請求項 1 に記載のソート処理方法。

【請求項 4】 入力データの大小を比較して該入力データの並び替えを行うソート処理装置であって、

該入力データの大小を比較して第 1 選択信号を出力する第 1 データ比較器と、該第 1 選択信号に基づいて前記入力データを大小に並び替える第 1 データ選択器とを組合せた第 1 基本セルを有し、

前記入力データの全比較数と同一の数の該第 1 基本セルをパイプライン状に結合して形成した
ことを特徴とするソート処理装置。

【請求項 5】 前記第 1 データ選択器は、一対の前記入力データが入力される一対のデータ選択器が設けられ、前記第 1 選択信号により制御されて各データ選択器の出力端に前記一対の入力データを所定の大きさの順番で出力させる
請求項 4 に記載のソート処理装置。

【請求項 6】 キーデータとこれに関連する関連データからなる複合データの大小を比較して該複合データの並び替えを行うソート処理装置であって、

該キーデータの大小を比較して第2選択信号を出力する第2データ比較器と、
該第2選択信号に基づいて前記複合データを該キーデータの大小をベースとして前記関連データを並び替える第2データ選択器とを組合せた第2基本セルを有し、

前記複合データの全比較数と同一の数の該第2基本セルをパイプライン状に結合して形成した

ことを特徴とするソート処理装置。

【請求項7】 前記第2データ選択器は、一对のキーデータが入力されるキーデータ選択と一对の関連データが入力される関連データ選択をする一对のデータ選択器が2対設けられ、各データ選択器は前記第2選択信号により制御される請求項6に記載のソート処理装置。

【請求項8】 前記入力データ(又は複合データ)の個数の増加に対応して前記第1基本セル(又は第2基本セル)を追加することによりソート処理の規模を拡張する

請求項4(又は請求項6)に記載のソート処理装置。

【請求項9】 前記第1基本セル(又は第2基本セル)の間に必要に応じてラッチを介在して、ソートされた前記入力データ(又は複合データ)の同期をとる請求項4(又は請求項6)に記載のソート処理装置。

【請求項10】 前記第1基本セル(又は第2基本セル)は、前記第1選択信号(又は第2選択信号)により各入力データ(又は複合データ)に対応する第1データ選択器(又は第2データ選択器)を制御することにより前記入力データ(又は複合データ)のソートを行う

請求項4(又は請求項6)に記載のソート処理装置。

【請求項11】 前記入力データ(又は複合データ)が奇数個の場合は、該奇数個の有効な入力データ(又は複合データ)の他に1個の無効入力データ(又は無効複合データ)を設けて偶数個とし、該無効入力データ(又は無効複合データ)の値を有効な前記入力データ(又は複合データ)の最大値より大きいか又は最小値より小さい値として設定する

請求項4(又は請求項6)に記載のソート処理装置。

【請求項 1 2】 前記第 1 基本セル(又は第 2 基本セル)は、空間的に矩形状に配列された

請求項 4 (又は請求項 6)に記載のソート処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、コンピュータやデータ処理において、ハードウェアにより入力データの大小を比較して所定の順番に並べ替えを行ってデータ出力するソート処理方法およびソート処理装置に関する。

【0 0 0 2】

【従来の技術】

従来、データ処理におけるソート処理は、コンピュータ上のソフトウェアで実現するためのアルゴリズムとしては、プログラミングのし易さ、メモリ消費量、計算時間の短さなどがそれぞれ異なっているが、マージソート、バブルソート、ヒープソート、クイックソートなど様々なものがあり、中でももっとも優れているとされるアルゴリズムはクイックソートと呼ばれる手順である。

【0 0 0 3】

そして、これ等のアルゴリズムは、コンピュータのソフトウェアで逐次実行され、ソート処理されるデータの個数に対する処理時間や比較の繰り返し回数などにより性能が評価される。

【0 0 0 4】

一方、L S I (L a g e S c a l e I n t e g r a t i o n) に代表される半導体技術の進歩などにより、ソフトウェアで行ってきたソート処理をハードウェアで行うことも行われている。

【0 0 0 5】

従来のハードウェアによるソート処理装置は、図 8 に示すように、各入力データのそれぞれについて、総当たり式に大小関係を比較して、その比較結果を合計してそれを該当する入力データの優先度とし、この優先度に応じて入力データを選択することにより、ソート処理を行うようにしている。

【 0 0 0 6 】

図 8 では、8 個の入力データが入力される横軸方向に配置される入力端子 X 1 - (0) ~ 入力端子 X 1 - (7) から延長される信号線と、8 個の入力データが入力される縦軸方向に配置される入力端子 Y 1 - (0) ~ 入力端子 Y 1 - (7) から延長される信号線がマトリクス状に延長され、配列されている。

【 0 0 0 7 】

これ等の入力端子のうち、英文字 X と Y を除いた符号が同一の入力端子にはそれぞれ同一の入力データが入力されている。例えば、入力端子 X 1 - (0) と Y 1 - (0) は英文字 X と Y を除くと同一の符号 1 - (0) となるので、これ等には同一の入力データが入力されていることになる。

【 0 0 0 8 】

そして、比較器 2 - (0 1) ~ 比較器 2 - (0 7) は、入力端子 X 1 - (0) に入力された入力データと入力端子 Y 1 - (1) ~ 入力端子 Y 1 - (7) の入力データとの大小関係を比較する。

【 0 0 0 9 】

比較器 2 - (1 0) と比較器 2 - (1 2) ~ 比較器 2 - (1 7) は、入力端子 X 1 - (1) に入力された入力データと、入力端子 Y 1 - (0) と入力端子 Y 1 - (2) ~ 入力端子 Y 1 - (7) の入力データとの大小関係を比較する。

【 0 0 1 0 】

以下、同様にして、比較器 2 - (2 0) ~ 比較器 2 - (2 7)、……、比較器 2 - (7 0) ~ 比較器 2 - (7 6) は、同一の入力データを比較する場合を除いて、入力端子 X 1 - (2) ~ 入力端子 X 1 - (7) の入力データをそれぞれ入力端子 Y 1 - (0) ~ 入力端子 Y 1 - (7) の入力データとの大小を比較する。

【 0 0 1 1 】

そして、加算器 3 - (0) は比較器 2 - (0 1) ~ 比較器 2 - (0 7) により 7 ビットで出力される比較結果を合計し、加算器 3 - (1) は比較器 2 - (1 0) と比較器 2 - (1 2) ~ 比較器 2 - (1 7) により 7 ビットで出力される比較結果を合計し、以下、同様にして加算器 3 - (2) ~ 加算器 3 - (7) は比較器 2 - (2 0) ~ 比較器 2 - (2 7)、……、比較器 2 - (7 0) ~ 比較器 2 - (7 6) により 7 ビットで出力

される比較結果の有意な数を加算して優先度D40～D47として3ビットで出力する。

【0012】

変換器5は、加算器3-(0)～加算器3-(7)より出力される優先度D40～D47を、どの入力データは何番目に大きいデータかを示す3ビットの順位信号D60～D67に変換する。

【0013】

マルチプレクサ7-(0)～マルチプレクサ7-(7)には、それぞれ入力端子Z1-(0)～入力端子Z1-(7)から8個の入力データが入力されているが、これ等の入力データは入力端子X1-(0)～入力端子X1-(7)と入力端子Y1-(0)～入力端子Y1-(7)に入力され、これ等の英文字X、Yを除いた符号が同一の入力端子に入力される入力データと、英文字Zを除いた符号が同一の入力端子に入力される入力データと同一である。

【0014】

そして、マルチプレクサ7-(0)～マルチプレクサ7-(7)は、変換器5より出力される順位信号D60～D67にしたがって、入力端子Z1-(0)～入力端子Z1-(7)に入力された8つの入力データのうちの1つを次々に選択して、それを出力端子8-(0)～出力端子8-(7)にソーティングされたデータとして出力する。

【0015】

以上の構成において、入力端子X1-(0)に入力された入力データは、比較器2-(01)～比較器2-(07)でそれぞれ入力端子Y1-(1)～入力端子Y1-(7)に入力された入力データと大小比較され、入力端子Y1-(1)～入力端子Y1-(7)に入力された入力データが入力端子X1-(0)に入力された入力データより大きい場合に、比較器2-(01)～比較器2-(07)はその出力信号が有意になるように動作する。

【0016】

これらの場合に各比較器には、(Y側の入力端子に入力された入力データ)>(X側の入力端子に入力された入力データ)の条件が成立するときに有意として出

力するように比較条件を表示してある。例えば(Y 1-(1)の入力データ)>(X 1-(0))の入力データの場合は、比較条件を $1 > 0$ として比較器 2-(01)に表示してある。

【0017】

そして、比較器 2-(01)～比較器 2-(07)での比較結果は、加算器 3-(0)に出力され、加算器 3-(0)は有意である出力信号の数を加算し、優先度 D 40として出力する。

【0018】

同様に、入力端子 X 1-(1)～入力端子 X 1-(7)に入力された入力データは、比較器 2-(10)～比較器 2-(17)、……、比較器 2-(70)～比較器 2-(76)でそれぞれ入力端子 Y 1-(0)～入力端子 Y 1-(7)に入力された入力データと大小比較され、入力端子 Y 1-(0)～入力端子 Y 1-(7)に入力された入力データが入力端子 X 1-(1)～入力端子 X 1-(7)に入力された入力データより大きい場合に、比較器 2-(10)～比較器 2-(17)、……、比較器 2-(70)～比較器 2-(76)の出力信号が有意になるように動作する。

【0019】

そして、比較器 2-(10)～比較器 2-(17)、……、比較器 2-(70)～比較器 2-(76)での比較結果は、加算器 3-(1)～加算器 3-(7)に出力され、これ等の加算器は有意である出力信号の数を加算して優先度 D 41～D 47として出力する。

【0020】

このような優先度 D 40～D 47は、変換器 5に出力されるが、変換器 5はどの入力データは何番目に大きいデータかを示す順位信号 D 60～D 67にこれを変換する。

【0021】

さらに、マルチプレクサ 7-(0)～マルチプレクサ 7-(7)は、これ等の順位信号 D 60～D 67にしたがって、入力端子 Z 1-(0)～入力端子 Z 1-(7)に入力された 8つの入力データを選択して、それを出力端子 8-(0)～出力端子 8-(7)に大小の順番にソーティングして出力する。

【0022】

【発明が解決しようとする課題】

一般に、入力データの総比較回数は、理論的には入力データ数Nの中から2個のデータを取り出す組み合わせであり、これは、

$$\text{入力データの総比較回数} = N \times (N - 1) / 2 \quad (1)$$

で示される。

【0023】

しかしながら、以上のような従来のソート処理装置は、総当たり式に比較器を並べて入力データの比較を行っているので、

$$\text{比較器個数} = N \times (N - 1) \quad (2)$$

で示される比較器の個数が必要であり、理論的に必要な比較器の最小限の個数に対して2倍の個数を必要としている。

【0024】

その上に、比較の後に、加算、変換、マルチプレクシングして並べ替えるという多くの処理を行っている。このことは、ソート処理装置をハードウェア化するに当たって、回路規模の増加を招くこととなり、入力データの数が増加するにしたがい回路規模が顕著となり、演算時間も増大する結果となる。

【0025】

さらに、比較結果を変換する変換器5の回路実現も複雑であり、入力データの増加に伴いこの変換器5の回路の複雑さも増加し、ハードウェア化する場合に不都合となるという問題がある。

【0026】

【課題を解決するための手段】

本発明は、以上の課題を解決するためのソート処理方法の構成として、入力データの大小を比較して該入力データの並び替えを行うソート処理方法であって、データ比較器により該入力データの大小の比較を行う比較処理と、データ選択器を用いて該入力データの選択を行う選択処理とを組合せた基本処理をパイプライン状に繰り返して用い、該基本処理の総数を前記入力データの組合せの全比較数と同一にするようにしたものである。

【0027】

また、本発明は、以上の課題を解決するための第1のソート処理装置の構成として、入力データの大小を比較して該入力データの並び替えを行うソート処理装置であって、該入力データの大小を比較して第1選択信号を出力する第1データ比較器と、該第1選択信号に基づいて前記入力データを大小に並び替える第1データ選択器とを組合せた第1基本セルを有し、前記入力データの全比較数と同一の数の該第1基本セルをパイプライン状に結合して形成したものである。

【0028】

さらに、本発明は、以上の課題を解決するための第2のソート処理装置の構成として、キーデータとこれに関連する関連データからなる複合データの大小を比較して該複合データの並び替えを行うソート処理装置であって、該キーデータの大小を比較して第2選択信号を出力する第2データ比較器と、該第2選択信号に基づいて前記複合データを該キーデータの大小をベースとして前記関連データを並び替える第2データ選択器とを組合せた第2基本セルを有し、前記複合データの全比較数と同一の数の該第2基本セルをパイプライン状に結合して形成したものである。

【0029】

本発明のソート処理方法は、入力データの総数に対して理論上必要とする最小限の単純な基本処理をパイプライン状に繰り返して用いることにより実現するので、従来に比べてコンパクトでかつ演算時間の短いソートを行うことができ、しかも入力データの増加に対しては基本処理を追加するだけで対応することができるので規模の拡大が容易である。

【0030】

また、本発明の第1或いは第2のソート処理装置は、入力データの総数に対して理論上必要とする最小限の第1或いは第2基本セルをパイプライン状に単純に繰り返して用いて第1或いは第2基本セル群とすることによりソートを実現するので、従来のような加算器・変換器などが不要であり、コンパクトでかつ演算時間の短いハードウェアを実現することができる。

【0031】

しかも、本発明の第1 或いは第2 のソート処理装置は、入力データの増加に対しては、第1 或いは第2 基本セルを入力データの数に対応して単純に追加するだけで対応することができるので、ハードウェア的に規模を容易に拡大することができる。

【0032】

さらに、本発明の第2 のソート処理装置は、上記のメリットの他に、互いに関連のある複数データを取り扱うことができ、複数データの1 つをキーデータとして、このキーデータを大小の順番にソートしながらこのキーデータに関連する関連データもキーデータに付随して並び替えることができる。

【0033】

【発明の実施の形態】

以下、本発明に係るソート処理方法およびソート処理装置の実施の形態について図を用いて説明する。図1 は本発明の実施の1 形態を略示的に示した全体構成図であり、ここでは入力データが8 つの場合を例にとって説明する。

【0034】

入力端子9-(0)と入力端子9-(1)は、後述する比較処理を行うデータ比較器と選択処理を行うデータ選択器から構成されて基本処理を行う第1 段目の基本セル10-(0)の一方の入力端A_iと他方の入力端B_iにそれぞれ接続され、基本セル10-(0)で大小にソートされた結果は、一方の出力端A_oと他方の出力端B_oにそれぞれ出力される。

【0035】

例えば、入力端子9-(0)と入力端子9-(1)に入力される入力データD₉(0)と入力データD₉(1)のうち、出力端A_oには出力端B_oに対して常に小さな入力データがソートされて出力されるようになっている。

【0036】

同様に、入力端子9-(2)と入力端子9-(3)、入力端子9-(4)と入力端子9-(5)、及び入力端子9-(6)と入力端子9-(7)は、基本セル10-(1)～基本セル10-(3)の入力端A_iと入力端B_iにそれぞれ接続され、これ等の基本セル10-(1)～基本セル10-(3)で大小にソートされた結果は、それぞれ

出力端A○と出力端B○にそれぞれソートされて出力される。

【0037】

そして、例えば、入力端子9-(2)と入力端子9-(3)、入力端子9-(4)と入力端子9-(5)、及び入力端子9-(6)と入力端子9-(7)にそれぞれ入力される入力データD9(2)と入力データD9(3)、入力データD9(4)と入力データD9(5)、及び入力データD9(6)と入力データD9(7)のうち、いずれの基本セルの出力端A○にも出力端B○より常に小さな入力データが各基本セルでソートされて出力される。

【0038】

第2段目の基本セル10-(4)はその入力端A_iが第1段目の基本セル10-(0)の出力端B○に、入力端B_iが第1段目の基本セル10-(1)の出力端A○に、第2段目の基本セル10-(5)はその入力端A_iが第1段目の基本セル10-(1)の出力端B○に、入力端B_iが第1段目の基本セル10-(2)の出力端A○に、第2段目の基本セル10-(6)はその入力端A_iが第1段目の基本セル10-(2)の出力端B○に、入力端B_iが第1段目の基本セル10-(3)の出力端A○にそれぞれ接続されている。

【0039】

これ等の第1段目での4個の基本セル10-(0)～基本セル10-(3)は、第2段目での3個の基本セル10-(4)～基本セル10-(6)とパイプライン状に直列に接続され、基本セル10-(0)～基本セル10-(3)の4個のソート処理の結果(基本セル10-(0)の出力端A○と基本セル10-(3)の出力端B○のソート結果は除く)は、基本セル10-(4)～基本セル10-(6)の3個に入力されて再び大小関係が比較されて、いずれの基本セルの出力端A○にも出力端B○より常に小さな入力データが各基本セルでソートされて出力される。

【0040】

そして、基本ブロックFB1は、これらの基本セル10-(0)～基本セル10-(6)の7個で構成され、2回に亘って入力データD9(0)～入力データD9(7)の大小のソート処理を行って、基本セル10-(0)の出力端A○、基本セル10-(4)～10-(6)の出力端A○と出力端B○、及び基本セル10-(3)の

出力端B oから8個の入力データをソートしてそれぞれ出力する。

【0041】

これ等の8個のソートされた入力データは、基本ブロックFB1の第1段目の基本セル10-(0)～基本セル10-(3)と同様に、基本セル10-(7)～基本セル10-(13)の7個で構成された基本ブロックFB2の第3段目の基本セル10-(7)～基本セル10-(10)に入力される。

【0042】

そして、これ等の基本セル10-(7)～基本セル10-(10)でソートされた入力データは、基本ブロックFB1の第2段目の基本セル10-(4)～基本セル10-(6)と同様にパイプライン状に直列に接続された第4段目の3個の基本セル10-(11)～基本セル10-(13)に出力され、ここでソートされて8個の入力データとして基本ブロックFB1と同様にして出力される。

【0043】

また、これ等の8個の入力データは、基本ブロックFB1の第1段目の基本セル10-(0)～基本セル10-(3)と同様に、基本セル10-(14)～基本セル10-(20)の7個で構成された基本ブロックFB3の第5段目の基本セル10-(14)～基本セル10-(17)に入力される。

【0044】

そして、これ等の基本セル10-(14)～基本セル10-(17)でソートされた入力データは、基本ブロックFB1の第2段目の基本セル10-(4)～基本セル10-(6)と同様に、パイプライン状に直列に接続された第6段目の3個の基本セル10-(18)～基本セル10-(20)に出力され、ここでソートされて8個の入力データとして基本ブロックFB1と同様にして出力される。

【0045】

さらに、これ等の8個の入力データは、基本ブロックFB1の第1段目の基本セル10-(0)～基本セル10-(3)と同様に、基本セル10-(21)～基本セル10-(27)の7個で構成された基本ブロックFB4の第7段目の基本セル10-(21)～基本セル10-(24)に入力される。

【0046】

そして、これ等の基本セル 1 0 - (2 1) ~ 基本セル 1 0 - (2 4) でソートされた入力データは、基本ブロック F B 1 の第 2 段目の基本セル 1 0 - (4) ~ 基本セル 1 0 - (6) と同様に、パイプライン状に直列に接続された第 8 段目の 3 個の基本セル 1 0 - (2 5) ~ 基本セル 1 0 - (2 7) に出力され、ここでソートされて 8 個の入力データとして基本ブロック F B 1 と同様にして出力される。

【 0 0 4 7 】

基本セル 1 0 - (2 1) の出力端 A o、基本セル 1 0 - (2 5) ~ 基本セル 1 0 - (2 7) の出力端 A o と出力端 B o、及び基本セル 1 0 - (2 4) の出力端 B o には、ソートされて出力された入力データ D 9 (0) ~ 出力データ D 9 (7) が得られ、これ等はそのまま出力端子 1 1 - (0) ~ 出力端子 1 1 - (7) にこの順番で値が順次に大きくなるように並べ替えられて出力される。

【 0 0 4 8 】

このように、いずれも同一の構造を持つ 7 個の基本セルを含む 4 個の基本ブロック F B 1 ~ 基本ブロック F B 4 がパイプライン状に接続されて合計 2 8 個の基本セルを持つ第 1 基本セル群でソート処理装置を構成しているが、ここに含まれる基本セルはいずれも本発明における第 1 基本セルとして機能する。

【 0 0 4 9 】

このソート処理装置は、入力データ数は 8 個 ($N = 8$) であるので、入力データの総比較回数は (1) 式に照らして $8 \times 7 / 2 = 2 8$ となり、理論上の最小数の基本セルの数で構成されていることとなる。

【 0 0 5 0 】

次に、第 1 基本セルの内部構造について、図 2 を用いて、図 1 に示す基本セル 1 0 - (0) を例として説明する。基本セル 1 0 - (0) は、本発明における第 1 データ比較器として機能するデータ比較器 1 2、本発明における第 1 データ選択器として機能するデータ選択器 1 3 - (0) とデータ選択器 1 3 - (1) を構成要素としている。

【 0 0 5 1 】

基本セル 1 0 - (0) の入力端 A i と入力端 B i は、それぞれ入力端子 9 - (0) と入力端子 9 - (1) に接続され、これ等には入力データ D 9 (0) と、入力データ

D 9 (1) が図 1 に示すと同様に入力されている。

【 0 0 5 2 】

入力端 A i と入力端 B i は、データ比較器 1 2 の入力端 A 1 と B 1 に接続され、データ比較器 1 2 はこれ等に印加された入力データ D 9 (0) と入力データ D 9 (1) の大小を比較して、その比較結果を出力端 C 1 から本発明における第 1 選択信号として機能する選択信号 S 1 を出力する。

【 0 0 5 3 】

また、基本セル 1 0 - (0) の入力端 A i はデータ選択器 1 3 - (0) の入力端 I n 1 とデータ選択器 1 3 - (1) の入力端 I n 0 に、入力端 B i はデータ選択器 1 3 - (0) の入力端 I n 0 とデータ選択器 1 3 - (1) の入力端 I n 1 にそれぞれ接続されている。

【 0 0 5 4 】

さらに、選択信号 S 1 は、データ選択器 1 3 - (0) とデータ選択器 1 3 - (1) の各制御端 S E L に印加され、これ等の出力端 S E L 0 は基本セル 1 0 - (0) の出力端 A o と B o にそれぞれ接続されている。

【 0 0 5 5 】

次に、以上のように構成された基本セル 1 0 - (0) の動作について説明する。データ比較器 1 2 は入力データ D 9 (0) と入力データ D 9 (1) の大きさを比較して、入力データ D 9 (1) が入力データ D 9 (0) より大きい場合は、選択信号 S 1 の論理を “1” とし、入力データ D 9 (1) が入力データ D 9 (0) より小さいか或いは同じ大きさの場合は選択信号 S 1 の論理を “0” とする。

【 0 0 5 6 】

一方、選択信号 S 1 が論理 “1” の場合、つまり $D 9 (1) > D 9 (0)$ の場合には、データ選択器 1 3 - (0) は、入力端 I n 1 に入力された入力データ D 9 (0) を出力端 S E L 0 を介して出力端 A o に出力し、データ選択器 1 3 - (1) は入力端 I n 1 に入力された入力データ D 9 (1) を出力端 S E L 0 を介して出力端 B o に出力する。

【 0 0 5 7 】

つまり、この場合は、出力端 A o には入力データ D 9 (0) が、出力端 B o には

入力データ $D9(1)$ が、 $D9(1) > D9(0)$ の形でソートされて、出力端 A_o には出力端 B_o より小さな値の入力データが現れる。

【0058】

逆に、選択信号 $S1$ が論理“0”の場合、つまり $D9(1) \leq D9(0)$ の場合は、データ選択器 $13-(0)$ は、入力端 I_{n0} に入力された入力データ $D9(1)$ を出力端 $SEL0$ を介して出力端 A_o に出力し、データ選択器 $13-(1)$ は入力端 I_{n0} に入力された入力データ $D9(0)$ を出力端 $SEL0$ を介して出力端 B_o に出力する。

【0059】

つまり、この場合は、出力端 A_o には入力データ $D9(1)$ が、出力端 B_o には入力データ $D9(0)$ が、 $D9(1) \leq D9(0)$ の形でソートされて、出力端 A_o には出力端 B_o より小さいか又は等しい値の入力データに並べ替えられて出力される。

【0060】

以上を総合すると、基本セル $10-(0)$ は、データ比較器 12 、データ選択器 $13-(0)$ 、及びデータ選択器 $13-(1)$ の動作により、入力端 A_i と入力端 B_i の入力データの大小を比較して、入力端 B_i の入力データが入力端 A_i の入力データより大きい場合には、入力端 B_i の入力データを出力端 B_o に出力し、入力端 A_i の入力データを出力端 A_o に出力する。

【0061】

また、基本セル $10-(0)$ は、入力端 B_i の入力データが入力端 A_i の入力データより小さいか或いは同じ場合は、入力端 A_i の入力データを出力端 B_o に出力し、入力端 B_i の入力データを出力端 A_o に出力する。

【0062】

以上のことから、入力データが入力端子に印加される順番に係わらず、常に出力端 A_o 側には出力端 B_o 側より小さいか等しい入力データが並び替えられて出力されるので、基本セル $10-(0)$ は2入力のソート処理装置として機能する。

【0063】

また、比較器 12 の比較条件を、入力データ $D9(1)$ が入力データ $D9(0)$ よ

り小さい場合は、選択信号 S1 の論理を “1” とし、入力データ D9(1) が入力データ D9(0) より大きいとか或いは同じ大きさの場合は選択信号 S1 の論理を “0” とすれば、逆の順番でソートを行うソート処理装置として基本セルを組み合わせることが可能である。

【0064】

図3は、図1に示す8入力のソート処理装置に図2に示す基本セルを繰り返して組み合わせて構成し、ソート処理を行った場合の例を模式的に説明したものである。

【0065】

入力端子 9-(0)～入力端子 9-(7)には、入力データ D9(0)～入力データ D9(7)が入力されているが、この場合の各入力データの大きさの順位は、図3に番号 7～0 で示すように、 $D9(0) > D9(1) > D9(2) > D9(4) > D9(3) > D9(6) > D9(5) > D9(7)$ の順番で小さくなっている。

【0066】

入力データは、基本セル 10-(0)～基本セル 10-(27)を通過する過程で大小比較によるソートが行われ、この入力データの大小の交換の様子が矢印で示されているように、最終的に出力端子 11-(0)～出力端子 11-(7)には上から入力データの値が、データの大小を示す番号 0～7で示すように、小さいものから大きくなる順番に入力データがソートされている。

【0067】

これ等のうち、基本セル 10-(0)～基本セル 10-(24)及び基本セル 10-(27)では、基本セルによる大小比較の結果、入力データが交換されているが、基本セル 10-(25)～基本セル 10-(26)では入力データの交換が行われていない。

【0068】

図1に示す実施態様では、8個の入力データであって、偶数個の場合を例示したが、この入力データの個数は奇数個でも可能であり、この場合は入力データとして無効入力データを用意し、理論的に有効な有効データ7個のとり得る最大値より大きいとか、或いは最小値より小さい入力データを無効入力データとして入力

することによりソート処理が可能となる。

【0069】

また、最大値より大きい入力データを表現する場合は、入出力や基本セルを1ビット拡張し、無効入力データは最上位ビット=1、有効入力データは最上位ビット=0として入力すると、出力としては無効入力データが最大となって出力端子11-(7)に、有効入力データは出力端子11-(0)～出力端子11-(6)に常に出てくる。

【0070】

今までは、基本セルをパイプライン状に配列して単一の入力データをソート処理する場合について説明したが、複合データをソート処理する場合にも本発明を適用することができる。

【0071】

図4は8入力のキーデータとこれに関連する関連データが1組となって形成する複合データをソートする場合を1つの実施の態様として示しているが、ここで言うキーデータと関連データとは、例えば学生の学生番号と試験点数といった関係であり、キーデータである試験点数を用いて関連データである学生番号をソート処理する場合などが対応する。

【0072】

このソート処理装置は、基本セル18-(0)～基本セル18-(27)が28個で基本セル群として構成されており、図1に示す場合と同様に、7個の基本セルで構成される基本ブロックが基本ブロックFB5～基本ブロックFB8としてパイプライン状に直列に接続されている。

【0073】

入力端子17-(00)と入力端子17-(01)、及び入力端子17-(10)と入力端子17-(11)は、データ比較器とデータ選択器から構成される第1段目の基本セル18-(0)の一方の入力端 D_{i1} と入力端 K_{i1} 、及び他方の入力端 D_{i2} と入力端 K_{i2} に接続され、基本セル18-(0)でキーデータをベースとして大小にソートされた結果は、一方の出力端 D_{o1} と出力端 K_{o1} 、及び他方の出力端 D_{o2} と出力端 K_{o2} にそれぞれ出力される。

【0074】

複合データC17(0)は、入力端子17-(00)と入力端子17-(01)に入力される関連データD17(0)とキーデータK17(0)で構成され、複合データC17(1)は、入力端子17-(10)と入力端子17-(11)に入力される関連データD17(1)とキーデータK17(1)とで構成されている。

【0075】

そして、基本セル18-(0)は、キーデータK17(0)とキーデータK17(1)との大小を比較して、出力端K₀₁には出力端K₀₂より常に小さいか等しいキーデータをソートして出力し、出力端D₀₁には出力端K₀₁に出力されるキーデータに対応する関連データが、出力端D₀₂には出力端K₀₂に出力されるキーデータに対応する関連データが、それぞれ出力される。

【0076】

また、複合データC17(2)は入力端子17-(20)に入力される関連データD17(2)と入力端子17-(21)に入力されるキーデータK17(2)で、複合データC17(3)は入力端子17-(30)に入力される関連データD17(3)と入力端子17-(31)に入力されるキーデータK17(3)で、複合データC17(4)は入力端子17-(40)に入力される関連データD17(4)と入力端子17-(41)に入力されるキーデータK17(4)でそれぞれ構成されている。

【0077】

さらに、複合データC17(5)は入力端子17-(50)に入力される関連データD17(5)と入力端子17-(51)に入力されるキーデータK17(5)で、複合データC17(6)は入力端子17-(60)に入力される関連データD17(6)と入力端子17-(61)に入力されるキーデータK17(6)で、複合データC17(7)は入力端子17-(70)に入力される関連データD17(7)と入力端子17-(71)に入力されるキーデータK17(7)で、それぞれ構成される。

【0078】

そして、基本セル18-(1)は、キーデータK17(2)とキーデータK17(3)との大小を比較し、基本セル18-(2)は、キーデータK17(4)とキーデータK17(5)との大小を比較し、基本セル18-(3)は、キーデータK17(

6)とキーデータ K_{17} (7)との大小を比較する。

【0079】

このようにして、基本セル18-(1)～基本セル18-(3)がキーデータを比較した結果、各出力端 K_{01} には各出力端 K_{02} より常に小さいか等しいキーデータをソートして出力し、各出力端 D_{01} には各出力端 K_{01} に出力されるキーデータに対応する関連データが、各出力端 D_{02} にも各出力端 K_{02} に出力されるキーデータに対応する関連データが、それぞれ出力される。

【0080】

第2段目の基本セル18-(4)は、その一方の入力端 D_{i1} と入力端 K_{i1} が第1段目の基本セル18-(0)の他方の出力端 D_{02} と出力端 K_{02} に、他方の入力端 D_{i2} と入力端 K_{i2} が第1段目の基本セル18-(1)の一方の出力端 D_{01} と出力端 K_{01} に接続されている。

【0081】

また、第2段目の基本セル18-(5)は、その一方の入力端 D_{i1} と入力端 K_{i1} が第1段目の基本セル18-(1)の他方の出力端 D_{02} と出力端 K_{02} に、他方の入力端 D_{i2} と入力端 K_{i2} が第1段目の基本セル18-(2)の一方の出力端 D_{01} と出力端 K_{01} に接続されている。

【0082】

さらに、第2段目の基本セル18-(6)は、その一方の入力端 D_{i1} と入力端 K_{i1} が第1段目の基本セル18-(2)の他方の出力端 D_{02} と出力端 K_{02} に、他方の入力端 D_{i2} と入力端 K_{i2} が第1段目の基本セル18-(3)の一方の出力端 D_{01} と出力端 K_{01} に接続されている。

【0083】

これ等の第1段目での4個の基本セル18-(0)～基本セル18-(3)は、第2段目での3個の基本セル18-(4)～基本セル18-(6)とパイプライン状に直列に接続され、基本セル18-(0)～基本セル18-(3)の4個のソート処理の結果(基本セル18-(0)の出力端 D_{01} と出力端 K_{01} と基本セル18-(3)の出力端 D_{02} と出力端 K_{02} のソート結果は除く)は、基本セル18-(4)～基本セル18-(6)の3個に入力されて再度ソート処理がなされて出力される。

【0084】

そして、基本ブロックFB5は、これらの基本セル18-(0)～基本セル18-(6)の7個で構成され、2段に亘ってキーデータをベースとして大小を比較して並び替え、これに付随して関連データを、それぞれ基本セル18-(0)の出力端D₀₁と出力端K₀₁、基本セル18-(4)～18-(6)の出力端D₀₁と出力端K₀₁と出力端D₀₂と出力端K₀₂、及び基本セル18-(3)の出力端D₀₂と出力端K₀₂に8個のソートされた複合データとしてそれぞれ出力する。

【0085】

これ等の8個の複合データは、基本ブロックFB5の第1段目の基本セル18-(0)～基本セル18-(3)と同様に、基本セル18-(7)～基本セル18-(13)の7個で構成された基本ブロックFB6の第3段目の基本セル18-(7)～基本セル18-(10)に入力される。

【0086】

そして、これ等の基本セル18-(7)～基本セル18-(10)でソートされた複合データは、基本ブロックFB5の第2段目の基本セル18-(4)～基本セル18-(6)と同様に、パイプライン状に直列に接続された第4段目の3個の基本セル18-(11)～基本セル18-(13)に出力され、ここでソートされて8個の複合データとして基本ブロックFB5と同様にして出力される。

【0087】

また、これ等の8個の複合データは、基本ブロックFB5の第1段目の基本セル18-(0)～基本セル18-(3)と同様に、基本セル18-(14)～基本セル18-(20)の7個で構成された基本ブロックFB7の第5段目の基本セル18-(14)～基本セル18-(17)に入力される。

【0088】

そして、これ等の基本セル18-(14)～基本セル18-(17)でソートされた複合データは、基本ブロックFB5の第2段目の基本セル18-(4)～基本セル18-(6)と同様に、パイプライン状に直列に接続された第6段目の3個の基本セル18-(18)～基本セル18-(20)に出力され、ここでソートされて8個の複合データとして基本ブロックFB5と同様にして出力される。

【0089】

さらに、これ等の8個の複合データは、基本ブロックFB5の第1段目の基本セル18-(0)～基本セル18-(3)と同様に、基本セル18-(21)～基本セル18-(27)の7個で構成された基本ブロックFB8の第7段目の基本セル18-(21)～基本セル18-(24)にされる。

【0090】

そして、これ等の基本セル18-(21)～基本セル18-(24)でソートされた複合データは、基本ブロックFB5の第2段目の基本セル18-(4)～基本セル18-(6)と同様に、パイプライン状に直列に接続された第8段目の3個の基本セル18-(25)～基本セル18-(27)に出力され、ここでソートされて8個の複合データとして基本ブロックFB5と同様にして出力される。

【0091】

基本セル18-(21)の出力端 D_{01} と出力端 K_{01} 、基本セル18-(25)～基本セル18-(27)の出力端 D_{01} 、出力端 K_{01} 、出力端 D_{02} と出力端 K_{02} 、及び基本セル18-(24)の出力端 D_{02} と出力端 K_{02} には、キーデータ $K_{17}(0) \sim K_{17}(7)$ をベースとして出力端子19-(01)～出力端子19-(71)にこの順番で値が順次 to 大きくなるように並べ替えられ、これに付随して出力端子19-(00)～出力端子19-(70)には関連データ $D_{17}(0) \sim D_{17}(7)$ が出力される。

【0092】

いずれも同一の構造を持つ7個の基本セルを含む4個の基本ブロックFB5～基本ブロックFB8がパイプライン状に接続されて合計28個の基本セルを持つ第2基本セル群でソート処理装置を構成しているが、ここに含まれる基本セルはいずれも本発明における第2基本セルとして機能する。

【0093】

このソート処理装置は、複合データ数は8個($N=8$)であるので、複合データの総比較回数は(1)式に照らして $8 \times 7 / 2 = 28$ となり、理論上の最小数の基本セルの数で構成されていることとなる。

【0094】

図4に示す実施態様では、8個の複合データであって、偶数個の場合を例示したが、この複合データの個数は奇数個でも可能であり、この場合は複合データとして無効複合データを用意し、理論的に有効な有効データ7個のとり得る最大値より大きいか、或いは最小値より小さい複合データを無効複合データとして入力することによりソート処理が可能となる。

【0095】

次に、第2基本セルの内部構造について、図5を用いて、図4に示す基本セル18-(0)を例として説明する。基本セル18-(0)は、本発明における第2データ比較器として機能するデータ比較器20、本発明における第2データ選択器として機能するデータ選択器21-(0)～データ選択器21-(3)を構成要素としている。

【0096】

基本セル18-(0)の一方の入力端 D_{i1} と K_{i1} 、及び他方の入力端 D_{i2} と K_{i2} は、入力端子17-(00)と17-(01)、及び入力端子17-(10)と17-(11)にそれぞれ接続されており、これ等には図4に示す場合と同様に関連データ $D_{17}(0)$ とキーデータ $K_{17}(0)$ で構成される複合データ $C_{17}(0)$ 、及び関連データ $D_{17}(1)$ とキーデータ $K_{17}(1)$ で構成される複合データ $C_{17}(1)$ がそれぞれ入力されている。

【0097】

基本セル18-(0)の入力端 K_{i1} と入力端 K_{i2} は、データ比較器20の入力端A2とB2に接続され、データ比較器20はこれ等に印加されたキーデータ $K_{17}(0)$ とキーデータ $K_{17}(1)$ の大小を比較して、その比較結果を出力端C2から本発明における第2選択信号として機能する選択信号S2として出力する。

【0098】

また、入力端 K_{i1} はデータ選択器21-(1)の入力端 I_{n1} とデータ選択器21-(3)の入力端 I_{n0} に、入力端 K_{i2} はデータ選択器21-(1)の入力端 I_{n0} とデータ選択器21-(3)の入力端 I_{n1} にそれぞれ接続されている。

【0099】

さらに、入力端 D_{i1} はデータ選択器21-(0)の入力端 I_{n1} とデータ選択器

21-(2)の入力端 I_{n0} に、入力端 D_{i2} はデータ選択器 21-(0)の入力端 I_{n0} とデータ選択器 21-(2)の入力端 I_{n1} にそれぞれ接続されている。

【0100】

選択信号 S_2 は、データ選択器 21-(0)～データ選択器 21-(3)の各制御端 SEL に印加され、これ等の出力端 SEL_0 は基本セル 18-(0)の出力端 D_{01} 、出力端 K_{01} 、出力端 D_{02} 及び出力端 K_{02} に、それぞれ接続されている。

【0101】

次に、以上のように構成された基本セル 18-(0)の動作について説明する。
 先ず、データ比較器 20は、キーデータ $K_{17}(0)$ とキーデータ $K_{17}(1)$ の大きさを比較して、キーデータ $K_{17}(1)$ がキーデータ $K_{17}(0)$ より大きい場合は、選択信号 S_2 の論理を“1”とし、逆にキーデータ $K_{17}(1)$ がキーデータ $K_{17}(0)$ より小さいか或いは同じ大きさの場合は選択信号 S_2 の論理を“0”とする。

【0102】

次に、選択信号 S_2 が論理“1”の場合、つまり $K_{17}(1) > K_{17}(0)$ の場合には、データ選択器 21-(1)は、入力端 I_{n1} に入力されたキーデータ $K_{17}(0)$ を出力端 SEL_0 を介して出力端 K_{01} に出力し、データ選択器 21-(3)は入力端 I_{n1} に入力された入力データ $K_{17}(1)$ を出力端 SEL_0 を介して出力端 K_{02} に出力する。

【0103】

同時に、関連データ $D_{17}(0)$ はデータ選択器 21-(0)の入力端 I_{n1} に入力されてその出力端 SEL_0 を介して出力端 D_{01} に、関連データ $D_{17}(1)$ はデータ選択器 21-(2)の入力端 I_{n1} に入力されてその出力端 SEL_0 を介して出力端 D_{02} に、それぞれ出力される。

【0104】

つまり、この場合は、出力端 K_{01} にはキーデータ $K_{17}(0)$ が、出力端 K_{02} にはキーデータ $K_{17}(1)$ が、 $K_{17}(1) > K_{17}(0)$ の形にソートされて、出力端 K_{01} 側には出力端 K_{02} 側より小さな値のキーデータが現れるが、これに伴ってキーデータ $K_{17}(0)$ に関連する関連データ $D_{17}(0)$ は出力端 K_{01} と対をなす

出力端 D_{01} に、キーデータ $K_{17}(1)$ に関連する関連データ $D_{17}(1)$ は出力端 K_{02} と対をなす出力端 D_{02} に、それぞれ出力される。

【0105】

逆に、選択信号 S_2 が論理 “0” の場合、つまり $K_{17D}(1) \leq K_{17D}(0)$ の場合は、データ選択器 $21-(1)$ は、入力端 I_{n0} に入力されたキーデータ $K_{17}(1)$ を出力端 SEL_0 を介して出力端 K_{01} に出力し、データ選択器 $21-(3)$ は入力端 I_{n0} に入力されたキーデータ $K_{17}(0)$ を出力端 SEL_0 を介して出力端 D_{02} に出力する。

【0106】

同時に、関連データ $D_{17}(0)$ はデータ選択器 $21-(2)$ の入力端 I_{n0} に入力されてその出力端 SEL_0 を介して出力端 D_{02} に、関連データ $D_{17}(1)$ はデータ選択器 $21-(0)$ の入力端 I_{n0} に入力されてその出力端 SEL_0 を介して出力端 D_{01} に、それぞれ出力される。

【0107】

つまり、この場合は、出力端 K_{01} にはキーデータ $K_{17}(1)$ が、出力端 K_{02} にはキーデータ $K_{17}(0)$ が、 $K_{17}(1) \leq K_{17}(0)$ の形にソートされて、出力端 K_{01} 側には出力端 K_{02} 側より小さいか等しい値のキーデータが現れるが、これに伴ってキーデータ $K_{17}(0)$ に関連する関連データ $D_{17}(0)$ は出力端 K_{02} と対をなす出力端 D_{02} に、キーデータ $K_{17}(1)$ に関連する関連データ $D_{17}(1)$ は出力端 K_{01} と対をなす出力端 D_{01} に、それぞれ出力される。

【0108】

以上を総合すると、基本セル $18-(0)$ は、データ比較器 20 、データ選択器 $21-(0) \sim$ データ選択器 $21-(3)$ の動作により、入力端 K_{i1} と入力端 K_{i2} のキーデータの大小を比較して、入力端 K_{i2} のキーデータが入力端 K_{i1} のキーデータより大きい場合には、入力端 K_{i2} のキーデータを出力端 K_{02} に出力し、入力端 K_{i1} のキーデータを出力端 K_{01} に出力する。

【0109】

しかし、基本セル $18-(0)$ は、入力端 K_{i2} のキーデータが入力端 K_{i1} のキーデータより小さいか或いは同じ場合には、入力端 K_{i1} のキーデータを出力端 K_{02}

に出力し、入力端 K_{i2} のキーデータを出力端 K_{01} に並び替えて出力する。

【0 1 1 0】

以上のことから、基本セル 1 8 - (0) は、入力端子にランダムに入力されたキーデータの大小の順番の配列に係わらず、常に出力端 K_{01} 側には出力端 K_{02} 側より小さいキーデータが並び替えられ、これに伴ってこれと対をなす関連データが隣接して出力されるので、キーデータの大小をベースとして、これに関連する関連データを並び替えることができる。

【0 1 1 1】

また、比較器 2 0 の比較条件を、キーデータ $K_{17}(1)$ がキーデータ $K_{17}(0)$ より小さい場合は、選択信号 S_2 の論理を“1”とし、キーデータ $K_{17}(1)$ がキーデータ $K_{17}(0)$ より大きい場合または同じ大きさの場合は選択信号 S_2 の論理を“0”とすれば、逆の順番でソートを行うソート処理装置として基本セルを組み合わせることも可能である。

【0 1 1 2】

さらに、入力データの個数を拡張する場合は、図 6 に示すように、 N を偶数として図 1 の基本セル 1 0 - (0) と同様な基本セル 2 3 - (0) ~ 基本セル 2 3 - ($N/2 - 1$) を、先ず第 1 段目で縦方向に $N/2$ 個に拡張して配置し、これ等の入力端 A_i 、 B_i は順に N 個の入力端子 2 2 - (0) ~ 入力端子 2 2 - ($N - 1$) の順に接続する。

【0 1 1 3】

次に、図 1 に示す第 2 段目と同様に、第 1 段目の基本セルの出力端 A_o 、 B_o を 1 つ下にずらした形で、第 2 段目に ($N/2 - 1$) 個の基本セル 2 4 - (0) ~ 基本セル 2 4 - ($N/2 - 2$) の入力端 A_i 、 B_i を接続する。以上のようにして第 1 段目の ($N/2$) 個の出力端と第 2 段目の ($N/2 - 1$) の入力端とが接続されて基本ブロック 2 5 - (0) が構成される。

【0 1 1 4】

拡張されたソート処理装置は、このような基本ブロック 2 5 - (0) を基本ブロック 2 5 - ($N/2 - 1$) に至るまで今度は横方向に $N/2$ 回繰り返して配列し、最後の基本ブロック 2 5 - ($N/2 - 1$) から出力端子 2 6 - (0) ~ 出力端子 2 6

$-(N/2 - 1)$ を引き出して構成される。

【0 1 1 5】

このような拡張手段により入力データの個数を拡張すると、入力データの個数が増えても基本セルの配列が空間的に矩形状で増加する形となるので、間に隙間のない高密度なソート処理装置を構成することができ、また L S I などの半導体で製造する場合にも規則的に基本セルを配置することができるので、半導体化が容易である。

【0 1 1 6】

この場合の基本セルの総数は、

$$\begin{aligned} \text{基本セル総数} &= (N/2 + N/2 - 1) \times (N/2) \\ &= N \times (N - 1) / 2 \end{aligned} \quad (3)$$

として示されるが、この値は N 個の入力から任意に 2 個を選択する組み合わせ数と同一であり、理論上の最小数の基本セルの数で構成されていることとなる。

【0 1 1 7】

入力データの個数が多数に亘る場合、例えば図 1 に示す基本セル 1 0 - (0) などと同様に構成された複数の基本セル 2 7 をハードウェアで組み合わせて、図 1 に示すものと同様に、基本ブロック 3 0 - (0) ~ 基本ブロック 3 0 - ($N/2 - 1$) を構成し、多数の入力データを印加すると、各基本セル 2 7 を通過する信号の伝搬遅延時間が大きくなったときに、全体の動作速度が低下する可能性がある。

【0 1 1 8】

このような場合には、図 7 に示すように、各基本ブロック 3 0 - (0) ~ 基本ブロック 3 0 - ($N/2 - 1$) の接続点の間に、記憶手段としてデータラッチ 2 8 を挿入してパイプライン状にソート処理を行うように変更する。

【0 1 1 9】

この場合に、このデータラッチ 2 8 はクロック 2 9 を用いて制御することとなるので、ソート終了までの時間がデータラッチ 2 8 の段数に依存して増加するが、クロック 2 9 ごとにソート処理が完了したデータ群を一斉に出力するソート処理を行うことが可能となる。

【0120】

以上の動作速度の低下を解消する手段は、図7に示す単一の入力データを用いる構成だけではなく、図4に示す複合データを用いる構成においても、同様に適用することができる。

【0121】

【発明の効果】

以上、説明したように、本発明のソート処理方法は、入力データの総数に対して理論上必要とする最小限の単純な基本処理をパイプライン状に繰り返して用いることにより実現するので、従来に比べてコンパクトでかつ演算時間の短いソートを行うことができ、しかも入力データの増加に対しては基本処理を追加するだけで対応することができるので規模の拡大が容易である。

【0122】

また、本発明の第1或いは第2のソート処理装置は、入力データの総数に対して理論上必要とする最小限の第1或いは第2基本セルをパイプライン状に単純に繰り返して用いて第1或いは第2基本セル群とすることによりソートを実現するので、従来のような加算器・変換器などが不要であり、コンパクトでかつ演算時間の短いハードウェアを実現することができる。

【0123】

しかも、本発明の第1或いは第2のソート処理装置は、入力データの増加に対しては、第1或いは第2基本セルを入力データの数に対応して単純に追加するだけで対応することができるので、ハードウェア的に規模を容易に拡大することができる。

【0124】

さらに、本発明の第2のソート処理装置は、上記のメリットの他に、互いに関連のある複数データを取り扱うことができ、複数データの1つをキーデータとして、このキーデータを大小の順番にソートしながらこのキーデータに関連する関連データもキーデータに付随して並び替えることができる。

【図面の簡単な説明】

【図1】

本発明に係る実施の形態を略示的に示すブロック図である。

【図 2】

図 1 に示す実施の形態における構成要素をなす第 1 基本セルの構成を示すブロック図である。

【図 3】

図 1 に示す実施の形態におけるソート処理の様子を示す説明図である。

【図 4】

本発明に係る複合データが入力される場合の実施の態様を略示的に示すブロック図である。

【図 5】

図 4 に示す実施の形態における構成要素をなす第 2 基本セルの構成を示すブロック図である。

【図 6】

本発明において入力データの拡張を図るときの実施の態様を略示的に示すブロック図である。

【図 7】

本発明におけるソート処理において動作速度の低下を避けるための実施態様を略示的に示すブロック図である。

【図 8】

従来のソート処理装置の構成を示すブロック図である。

【符号の説明】

X 1 - (0) ~ X 1 - (7)、Y 1 - (0) ~ Y 1 - (7)、Z 1 - (0) ~ Z 1 - (7)、
9 - (0) ~ 9 - (7)、1 7 - (0 0) ~ 1 7 - (7 0)、1 7 - (0 1) ~ 1 7 - (7
1)、2 2 - (0) ~ 2 2 - (N - 1)；入力端子、
2 - (0 1) ~ 2 - (7 6)；比較器、 3 - (0) ~ 3 - (7)；加算器、
5；変換器、 7 - (0) ~ 7 - (7)；マルチプレクサ、
8 - (0) ~ 8 - (7)、1 1 - (0) ~ 1 1 - (7)、1 9 - (0 0) ~ 1 9 - (7 0)、
1 9 - (0 1) ~ 1 9 - (7 1)、2 6 - (0) ~ 2 6 - (N - 1)；出力端子、
1 0 - (0) ~ 1 0 - (2 7)、1 8 - (0) ~ 1 8 - (2 7)、2 7；基本セル、

12、20 ; データ比較器、

13-(0)~13-(1)、 21-(0)~21-(3)、 ; データ選択器

28 ; データラッチ、 29 ; クロック

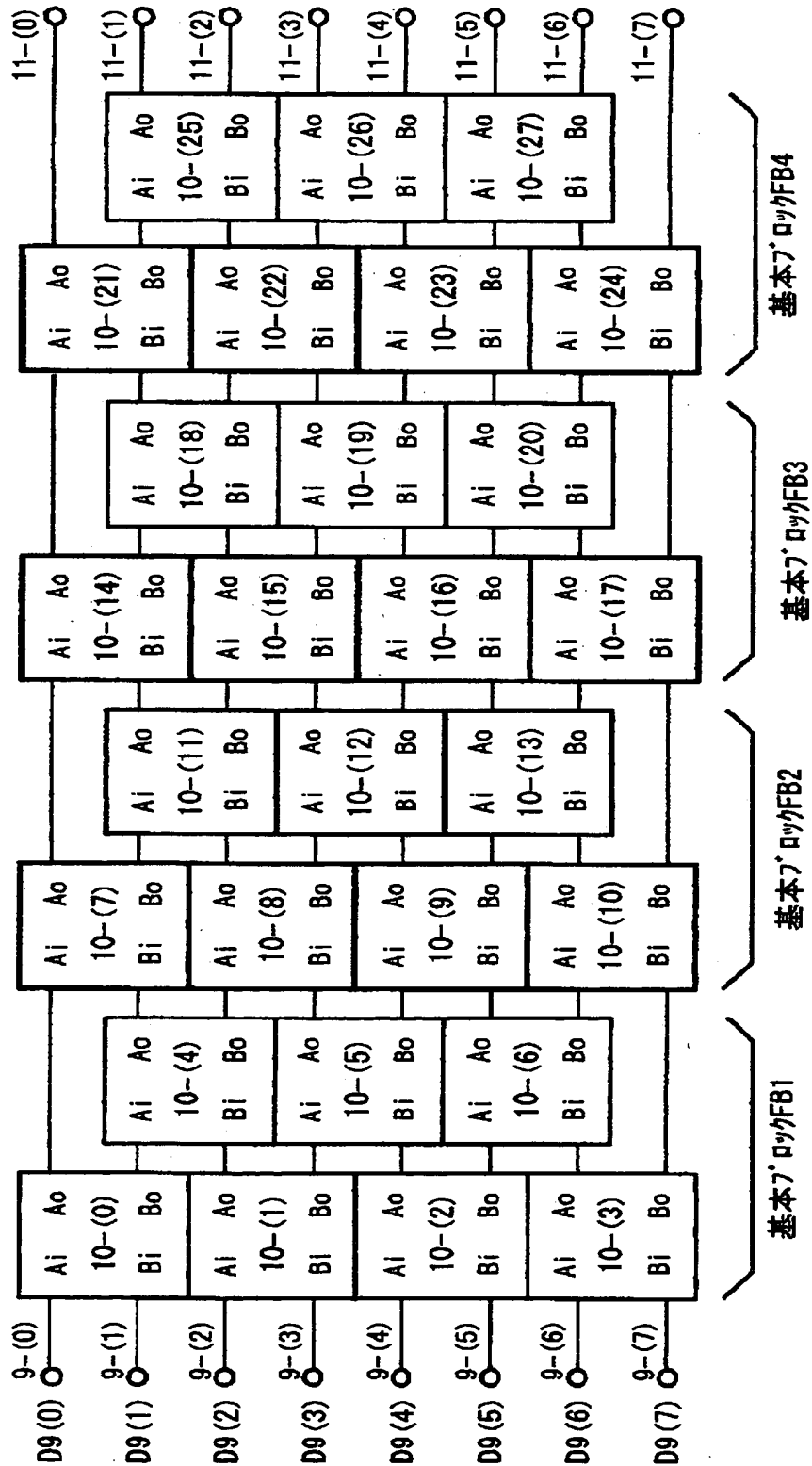
FB1~FB8、 25-(0)~25-($N/2-1$)、 30-(0)~30-($N/2-1$) ; 基本ブロック、 D9(0)~D9(7) ; 入力データ、

C17(0)~C17(7) ; 複合データ、 D17(0)~D17(7) ; 関連データ
、 K17(0)~K17(7) ; キーデータ

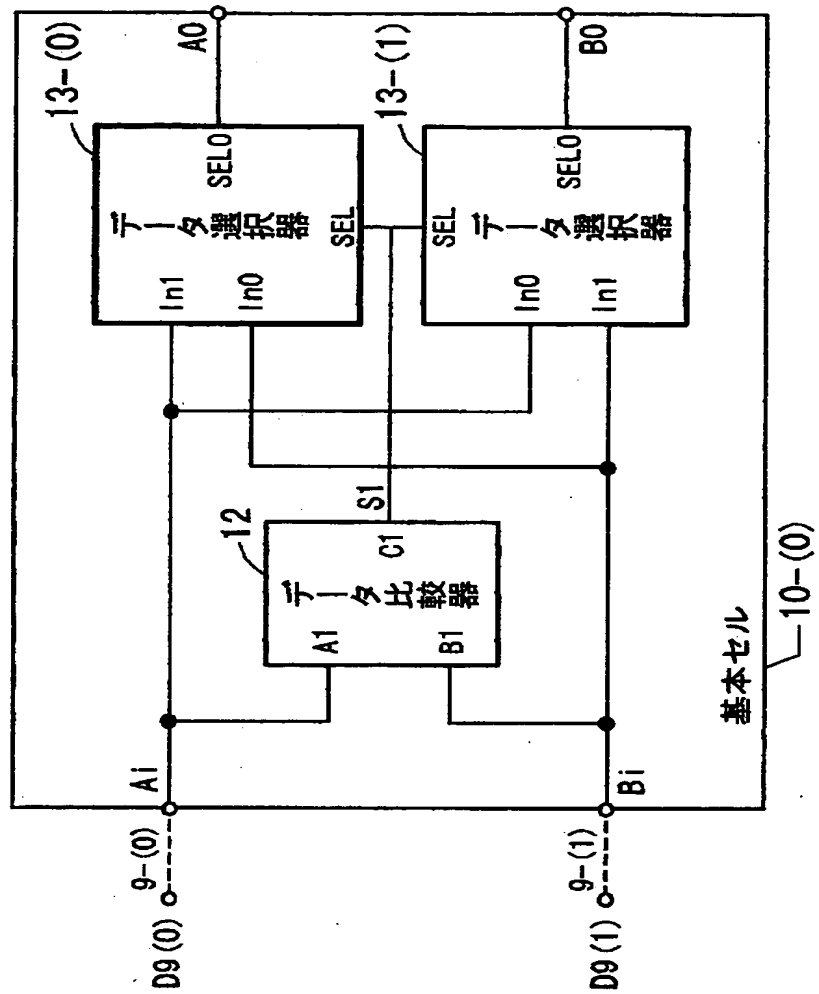
【書類名】

図面

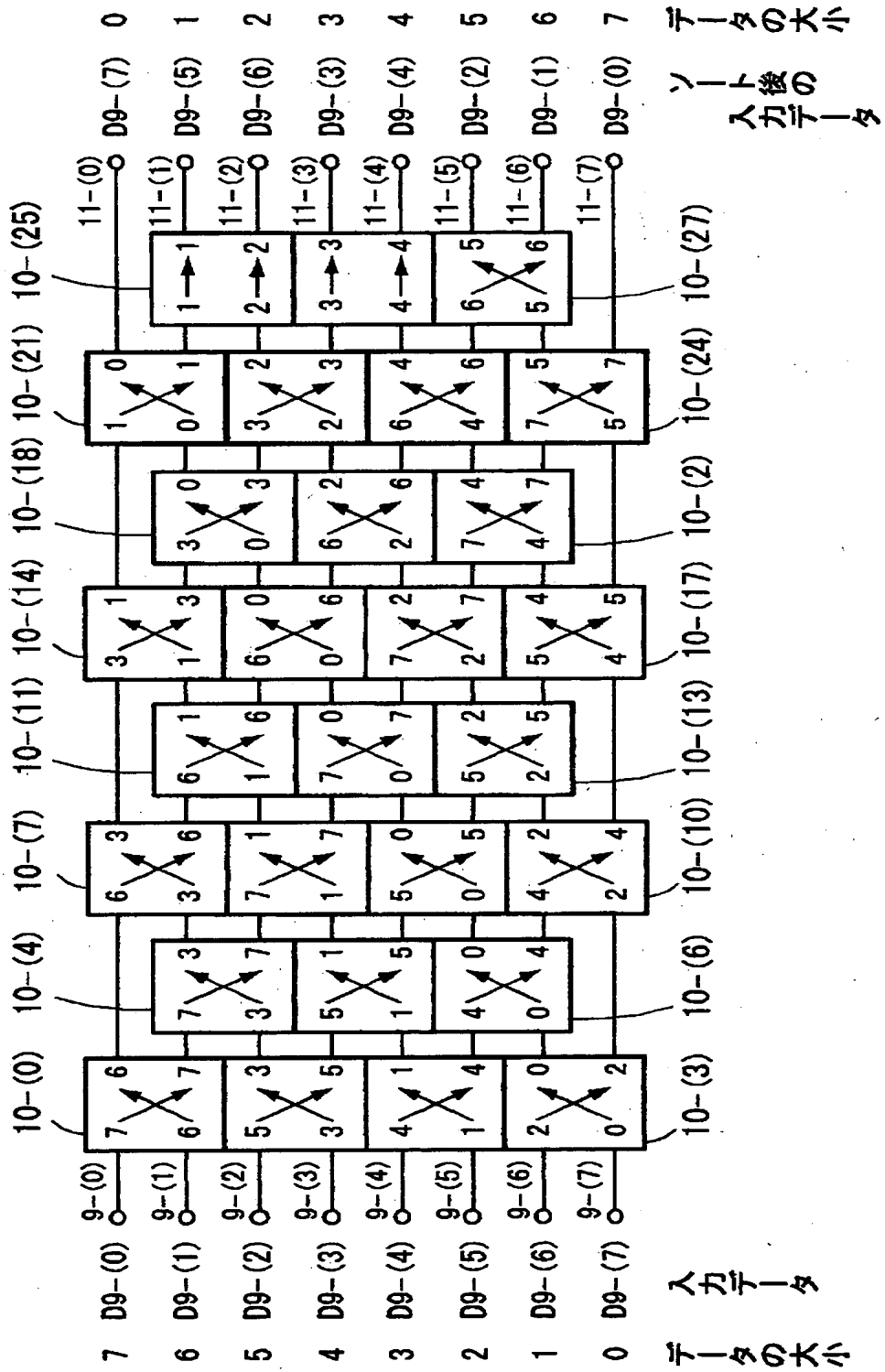
【図1】



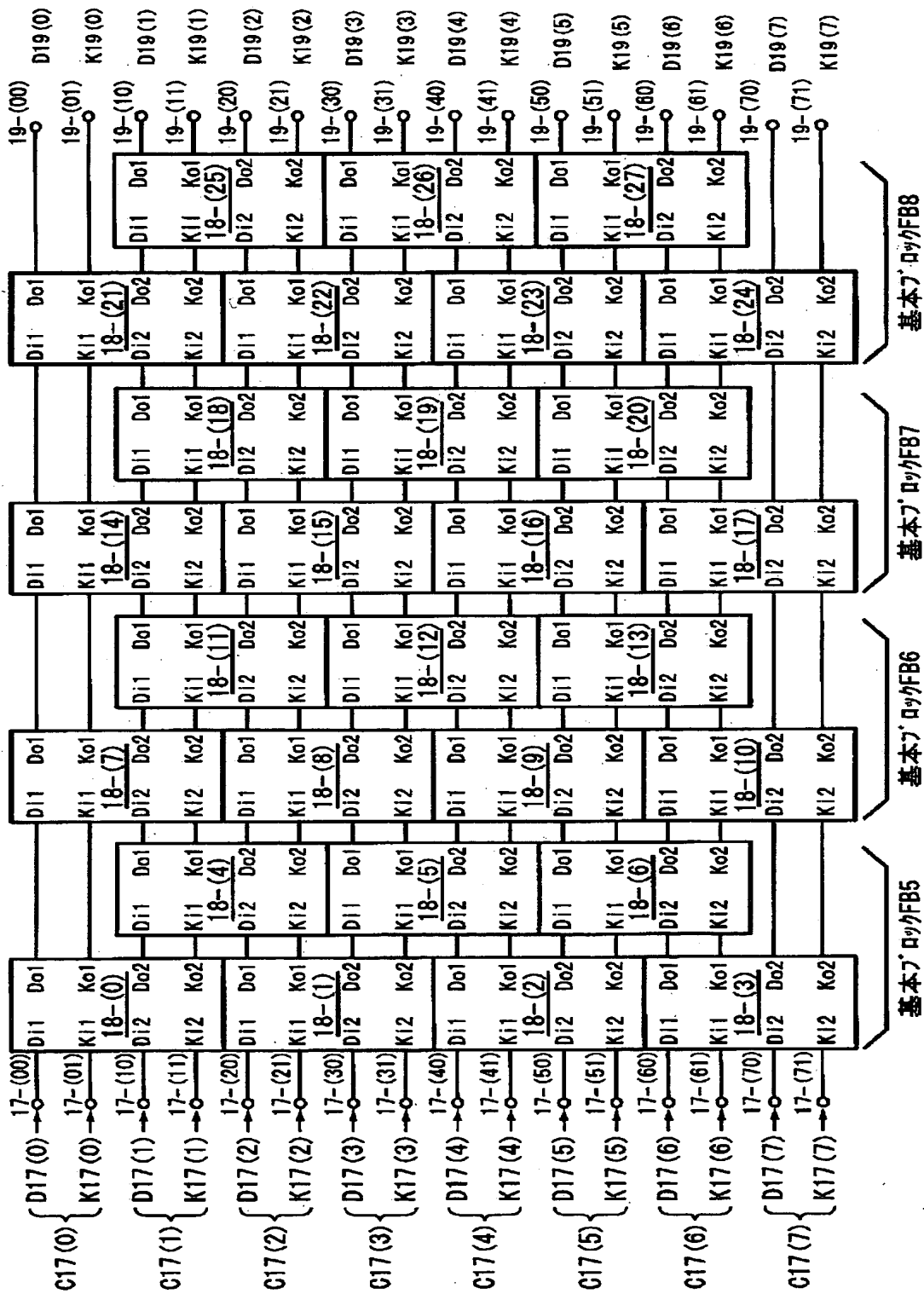
【図2】



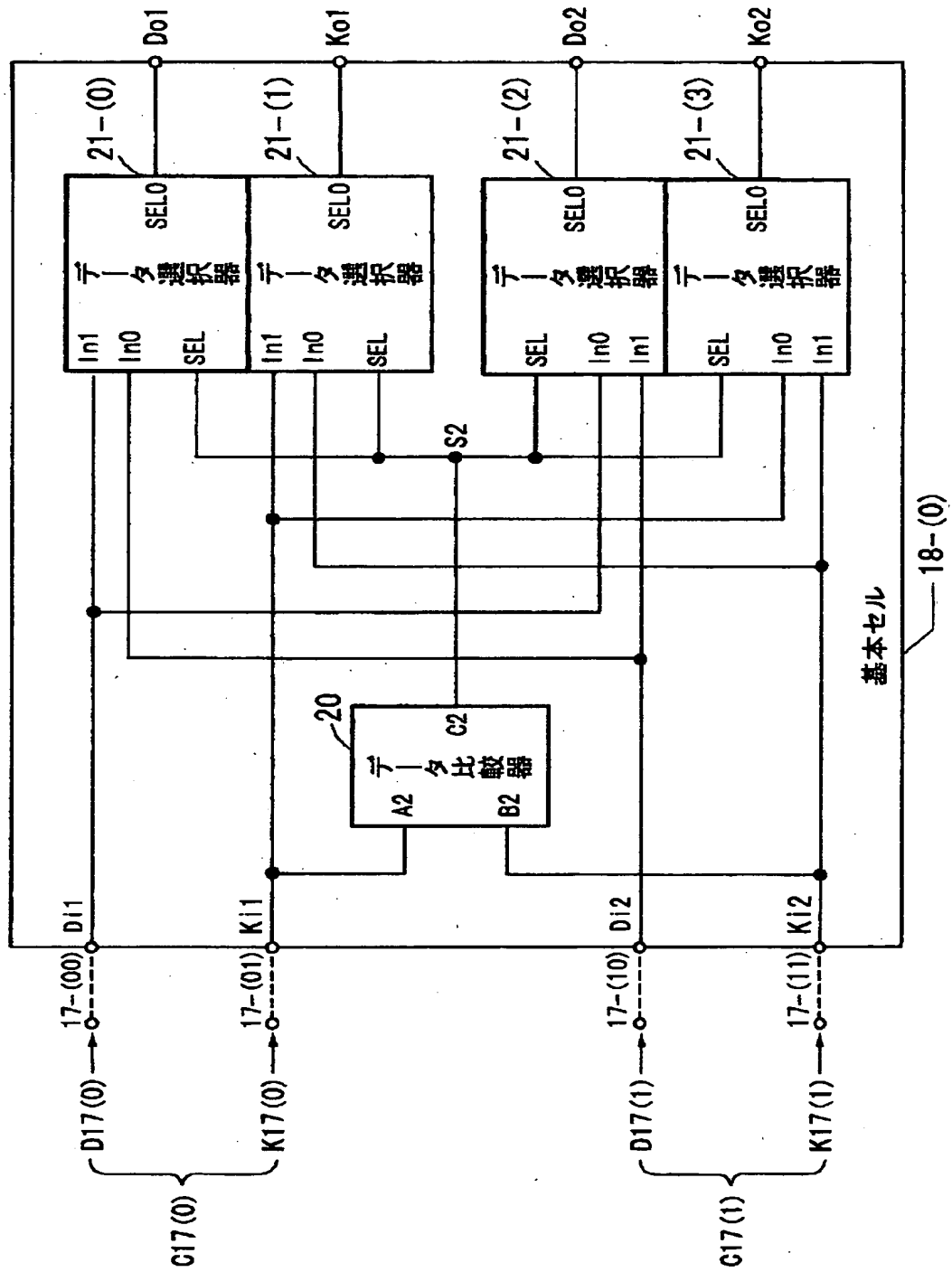
【図3】



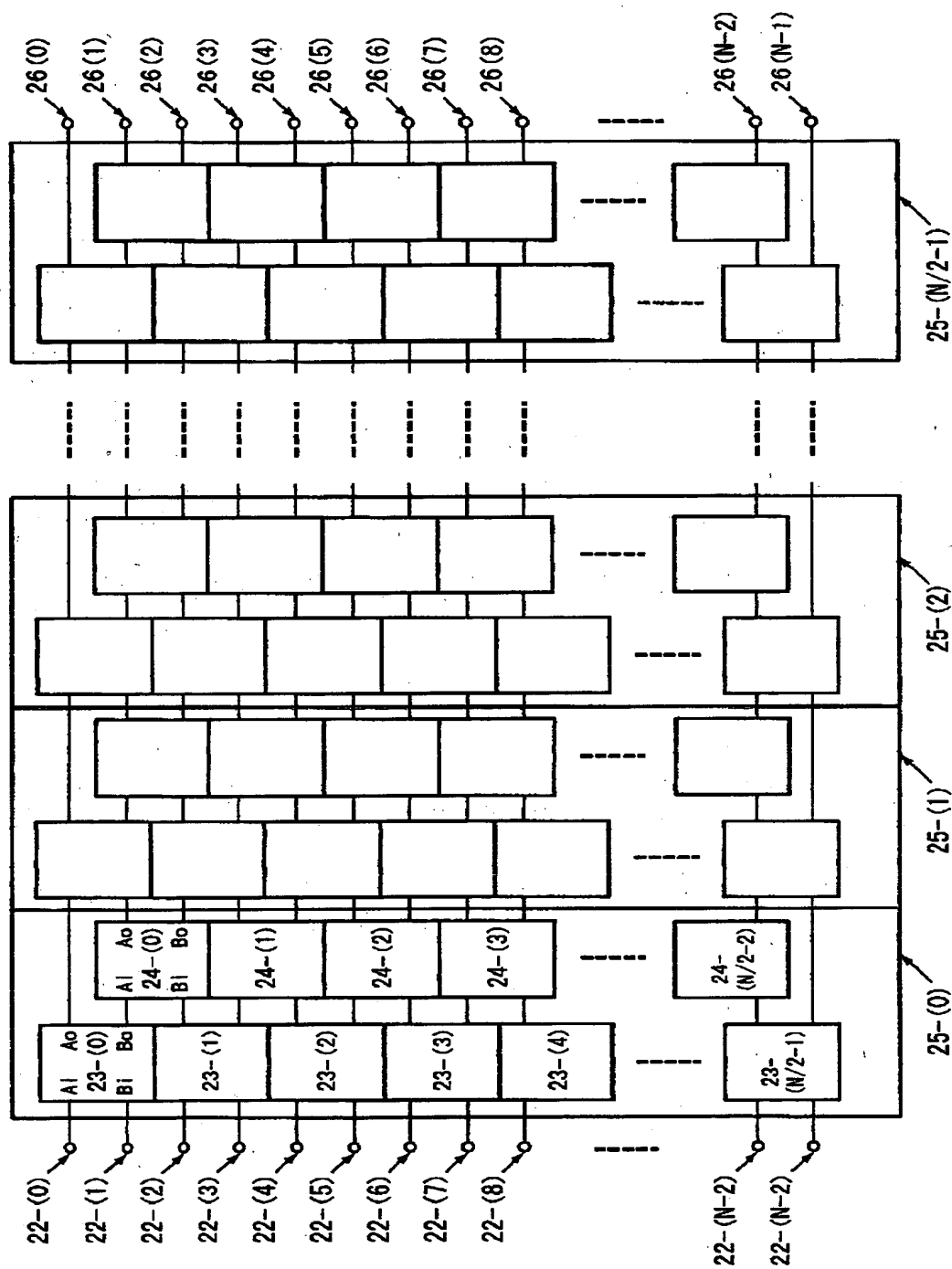
【図 4】



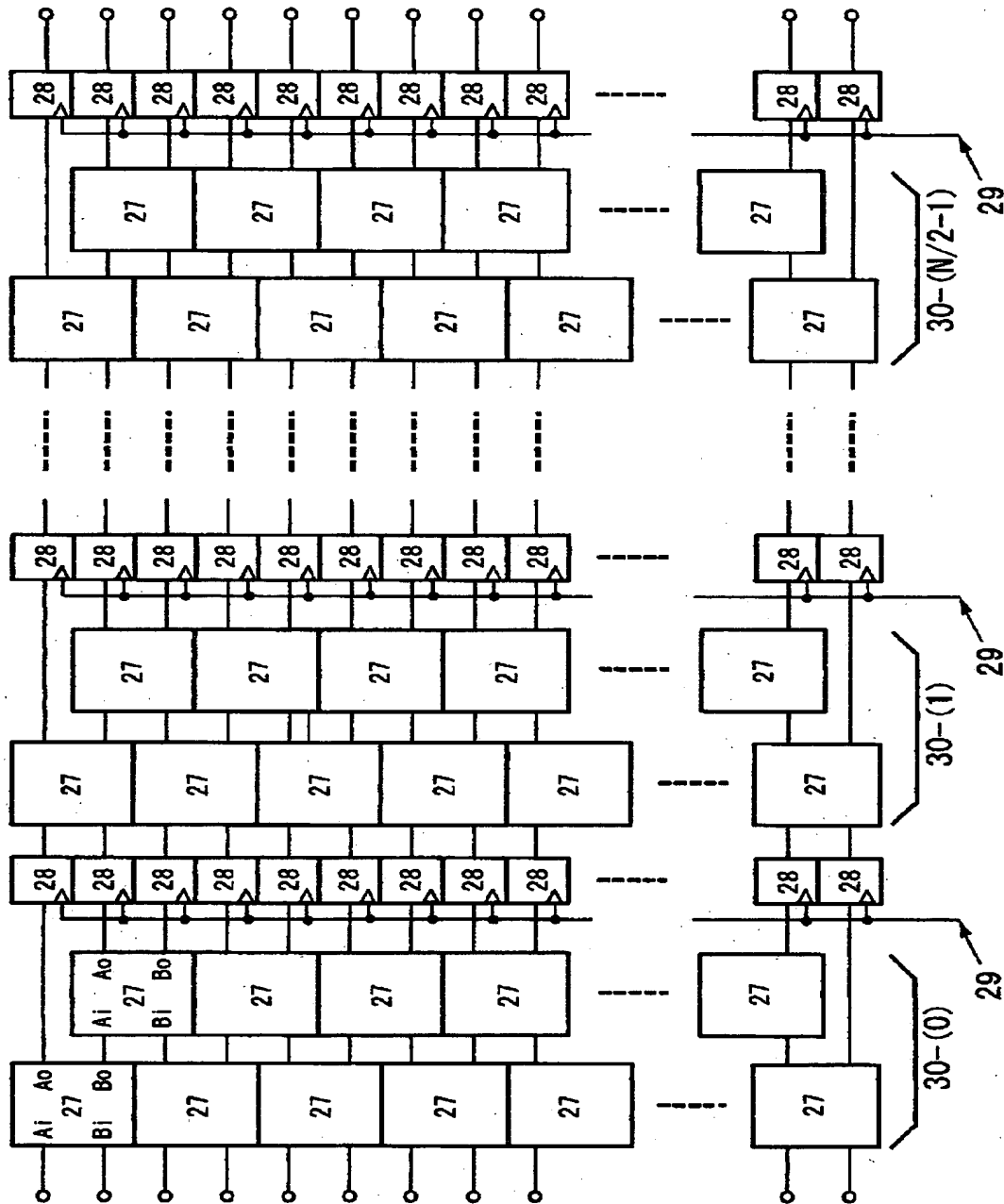
【図5】



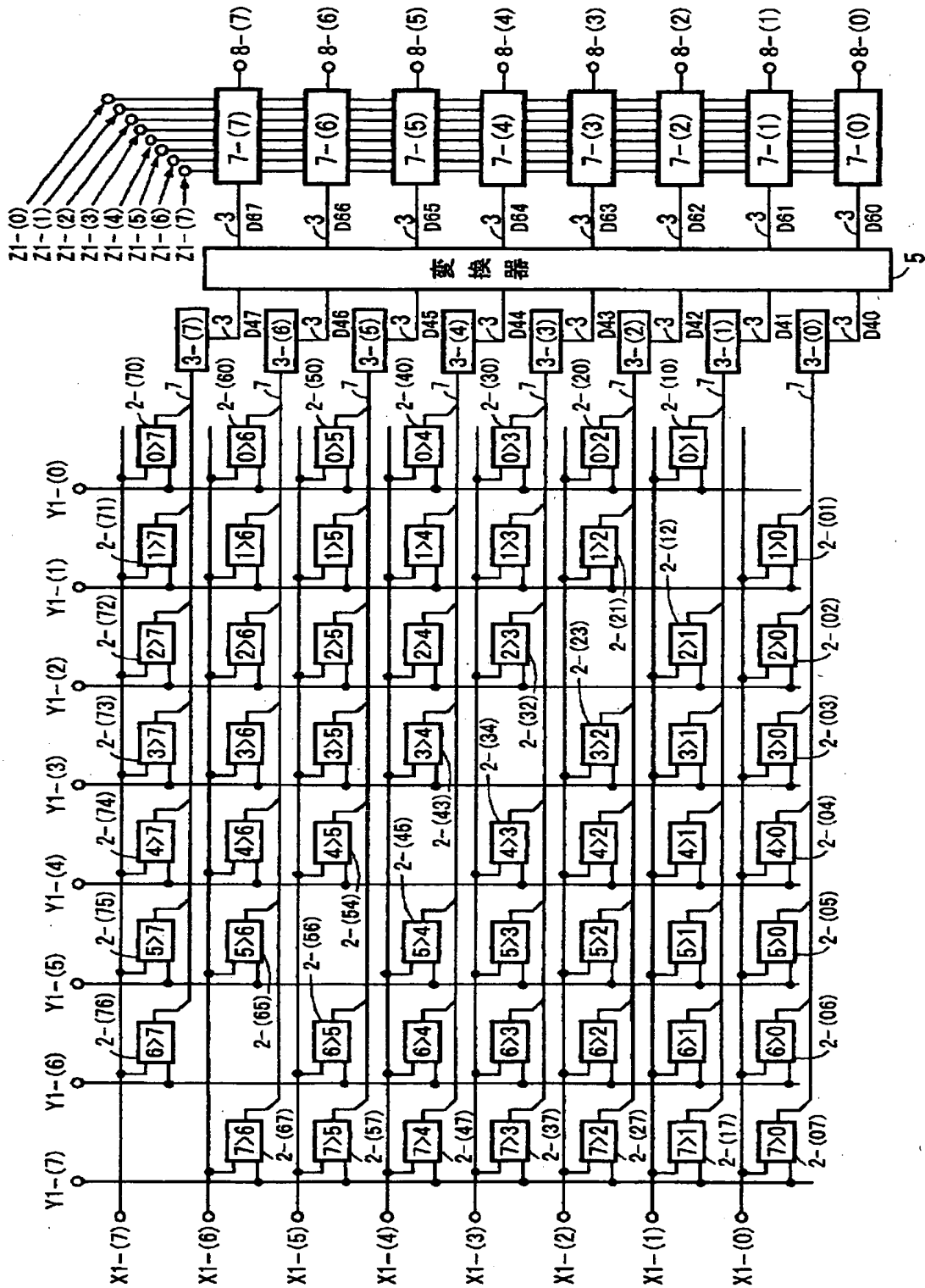
【図6】



【図 7】



【图 8】



【書類名】 要約書

【要約】

【課題】 コンピュータやデータ処理においてハードウェアにより入力データの
大小を比較して所定の順番に並び替えを行ってデータ出力するソート処理方法お
よびソート処理装置を提供するにある。

【解決手段】 入力データの大小を比較して該入力データの並び替えを行うソー
ト処理装置であって、入力データの大小を比較して第 1 選択信号を出力する第 1
データ比較器と、第 1 選択信号に基づいて入力データを大小に並び替える第 1 デ
ータ選択器とを組合せた第 1 基本セルを有し、入力データの全比較数と同一の数
の第 1 基本セルをパイプライン状に結合して形成したものである。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社